

引用格式: 楚文玉, 曲翕, 吴铭, 等. 基于 FPGA 的星载高速数据复接器的复接模块设计[J]. 微电子学与计算机, 2020, 37(8): 72-77. [CHU W Y, QU X, WU M, et al. Design of multiplex module for onboard high-speed data multiplexer based on FPGA [J]. Microelectronics & Computer, 2020, 37(8): 72-77.]

基于 FPGA 的星载高速数据复接器的复接模块设计

楚文玉, 曲 翕, 吴 铭, 张 宁
(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 随着空间科学技术的发展, 载荷数据种类和数据传输速率不断提高与数据处理传输能力不足之间的矛盾日益凸显, 为了解决这一问题, 设计了一种基于 CCSDS AOS 协议的星载数据复接器设计方案. 该设计方案能够通过 LVDS 接口接收实时遥测数据, 回放数据, 以及 1553B 总线数据, 通过 RS422 接口接收工程遥测数据, 话音数据, 并将以上各路数据复接组帧加扰下行.

关键词: FPGA; 数据复接器; CCSDS AOS

中图分类号: V443 **文献标识码:** A **文章编号:** 1000-7180(2020)08-0072-06

Design of multiplex module for onboard high-speed data multiplexer based on FPGA

CHU Wen-yu, QU Xi, WU Ming, ZHANG Ning
(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: With the development of space science and technology, the contradiction between the increasing load data type and data transmission rate and the insufficient data processing and transmission capacity has become increasingly prominent. In order to solve this problem, a kind of onboard data multiplexing based on CCSDS AOS protocol is designed. The design scheme can receive real-time telemetry data, playback data through the LVDS interface, and 1553B bus data, receive engineering telemetry data and voice data through the RS422 interface. And multiplex the above data, framing, scrambling, and then downlink.

Key words: FPGA; Data Multiplexer; CCSDS AOS

1 引言

数据复接器作为高速数据传控技术的核心, 主要完成载荷数据的复接、格式编排、编码、加扰和控制数据流向等功能. 随着空间科学技术的迅速发展, 各种空间任务要求传输的数据除了具有类型繁多、数据量巨大、数据速率高、实时性强、突发性强等特点外, 在不同的任务阶段, 数据的处理和传输可能有不同的要求. 这些应用对星上数据处理的功能提出了更高的要求, 要求数据处理器能够处理传输多种

不同速率的数据, 同时还得保证传输的可靠性和提高传输速率. 能够设计出多业务、灵活高效、高速可靠的数据复接器, 对星上的数据交互和传输非常有意义.

针对上述不足和需求, 本文设计了基于 FPGA 的星载高速数据复接器, 数据组帧传输协议采用 CCSDS AOS 标准协议^[1-2]. 可以将实时遥测, 回放数据和 1553B 总线数据复接组帧下行, 也可以将工程遥测数据和话音数据复接组帧加扰下行.

2 复接器原理概述

2.1 CCSDS AOS 简介

为了适应航天器复杂化的发展趋势,使未来的空间任务能以标准化的方式进行数据交互与处理,促进国际间的相互交流、支持与合作,多国的空间组织管理部门共同倡导成立了空间数据系统咨询委员会(CCSDS).CCSDS 在常规建议的基础上提出高级在轨系统(AOS)建议,以标准化的方式进行数据交换与处理,以更为经济有效的方式满足不同航天器的需求和各类用户的业务需求^[3].AOS 服务于空-地、空-空测控、通信以及数据管理系统,可以处理大容量、高速率的数据,支持不同需求的用户同时访问,并通过建立统一的数据流,利用同一个信道同时传输数据、话音、遥测、实验数据等各种不同的信息.

CCSDS 主网(CCSDS Principal Network, CPN)是 AOS 建议提出的空间数据网,它包括星载网、空间链路子网(SLS)、星载/地面网^[4].其核心空间链路子网对应于 OSI 层次模型的数据链路层,并再次分为虚拟信道链路控制子层(VCLC)和虚拟信道访问子层(VCA).在 SLS 业务中,包装、复用、位流业务由 VCLC 子层提供.虚拟信道存取、虚拟信道数据单元、插入业务由 VCA 子层提供.本文主要运用位流业务实现数据复接^[5].

AOS 建议的标准 VCDU 格式如图 1 所示.

AOS传输帧格式									
传输帧主帧头					传输帧插入区 (可选)	传输帧数据区	传输帧尾 (可选)		
主信道ID	虚拟信道ID	虚拟信道帧计数	信号区	差错控制 (可选)			操作控制区	传输帧差错控制 (可选)	
传输帧版本号	飞行器ID								
2bit	8bit	6bit	24bit	8bit			8bit	16bit	
2B		3B	1B	2B	可变	可变	1B	2B	

图 1 AOS 传输帧格式

本文设计方案中的载荷数据流采用交织深度为 4 的标准数据单元,VCDU 帧格式长度为 892 字节.

2.2 系统总体设计

数据复接器的主要作用是通过 LVDS 接口接收核心单元的实时遥测数据,通过 LVDS 接口接收数据存储器的回放数据,同时采集 1553B 总线上传输的所有数据,并将以上各路数据复接组帧后按指

定格式送测控的高速通信处理器下传.数据同时也通过网络处理器下传.另外,数据复接器需按一定的数据格式将从核心单元送来的工程遥测数据以及从话音处理器送来的应急话音数据复接成一路 64 Kbps的遥测数据,并经组帧加扰后按 DPSK 数据格式送测控的通用应答机下传.

整个数据复接器系统主要有系统控制模块,数据复接模块,1553B 总线监视模块,以太网控制模块,外部接口转换模块和电源控制模块组成.整体原理框图如图 2 所示.本文主要研究其核心数据复接模块,分为数管遥测复接和工程遥测复接.

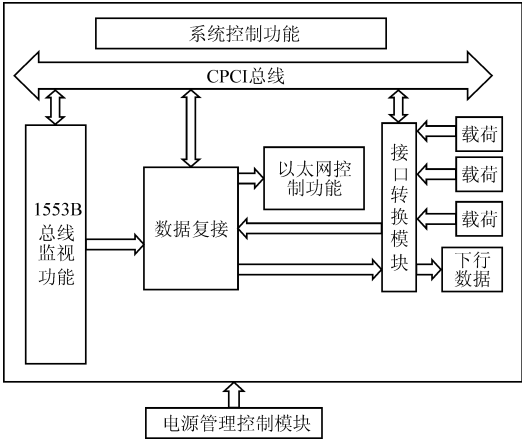


图 2 系统整体原理框图

3 数据复接模块设计

3.1 数管遥测 FPGA 详细设计

数管遥测 FPGA 用于实现核心单元实时遥测数据的接收功能、数据存储单元回放数据的接收功能、高速通信处理器数据的发送功能、数据存储单元记录数据的发送功能、DSP 接口板数据的发送功能、实时遥测、回放数据和 1553B 监视数据的复接功能.根据功能需求,采用模块化设计思想,数管遥测复接 FPGA 功能框图如图 3 所示,主要包括以下几个模块:

- 1)接口读写控制模块
- 2)实时遥测接收模块
- 3)回放数据接收模块
- 4)数据复接及发送模块

3.1.1 接口读写控制模块

主要对外部 CPCI 控制器 LCPCI9030 输入的片选信号、读信号、写信号进行了同步处理,并利用

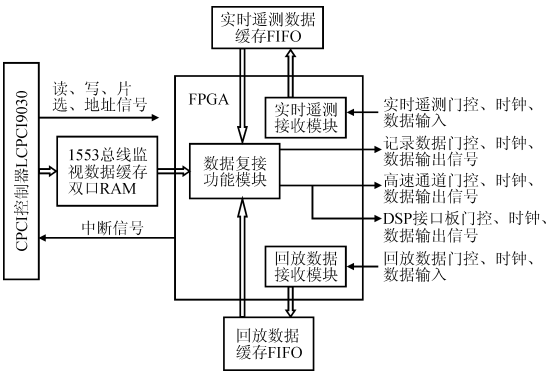


图 3 数管遥测 FPGA 功能框图

同步后的信号进行了地址译码操作。

3.1.2 实时遥测接收模块

被动接收外部输入的三线制信号(门控、时钟和数据)并进行串并转换后按字节写入外部 FIFO 中缓存。

3.1.3 数据存储器回放数据接收模块

主动向数据存储器发送请求信号,同时对输入的三线制信号(门控、时钟和数据)进行检测并进行串并转换后按字节写入外部 FIFO 中缓存。

3.1.4 数据复接模块

根据实时遥测数据帧标志、数据存储器回放数据帧标志和 1553B 总线监视数据帧标志是否有效来判断各个缓存中是否有数据,如果标志有效则按照固定的规则读取对应的数据缓存,并以 892Bytes 为一帧进行组帧,且保证每帧中的数据来自同一个数据源.将组完帧的数据进行并串转换,通过数据存储器记录通道、高速通信处理器通道和以太网数据通道进行发送。

首先,FPGA 遵循固定优先级进行数据读取,优先级关系为:

实时遥测数据>回放数据>总线数据

即 FPGA 先读取实时遥测缓存中的数据,再读取回放缓存中的数据,最后读取总线缓存中的数据。

其次,FPGA 遵循按比例来进行数据读取,默认比例为:

回放数据:总线数据 = 4: 1

即 FPGA 在空闲时先判断实时遥测数据是否有效,若无效则按照上述优先级,先读取最多 4 帧回放数据,再读取最多 1 帧总线数据.该比例根据三路数据速率产生,且可通过专用寄存器配置。

另外,由于总线数据量大,因此在外部分置了两

块大小为 8K×16bits 的双口 RAM. CPU 进行写操作,FPGA 进行读操作.两者之间通过握手操作交互.具体来说,首先将外部两块双口 RAM 划分为大小相同的 32 个虚拟块,每块存储区大小为 1K 字节,CPU 按照 1~32 的顺序依次将数据写入,且在写之前需判断当前读指针的位置,当写指针大于或小于读指针时,则直接向该虚拟块写入数据.当写指针等于读指针时,需判断该虚拟块的读完成标志是否有效,若有效则直接写入数据,若无效则跳过该虚拟块向下一个虚拟块写入数据. CPU 每执行一次写操作,写指针加一,并且向写指针寄存器写入当前写指针的位置以及在写操作结束后将该虚拟块写完成标志置为有效.特别地,当写指针小于读指针时(即 FPGA 读速率小于 CPU 写速率),需要将指针回卷标志置为有效。

同理,FPGA 也按照 1 到 32 的顺序从 32 个虚拟块读取数据,且在读之前需判断写指针的位置,当读指针小于写指针时,则直接从该虚拟块读取数据.当读指针等于写指针时,不进行读操作.当读指针大于写指针时,需判断写指针回卷标志,若有效则直接读取,若无效则不读取数据. FPGA 每执行一次读操作,读指针加一,并且向读指针寄存器写入当前读指针的位置以及在读操作结束后将该虚拟块读完成标志置为有效.双口 RAM 读写示意图如图 4 所示。

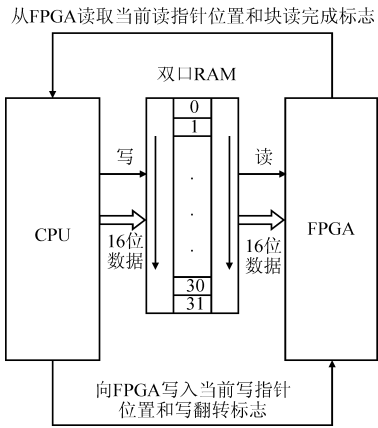


图 4 双口 RAM 读写示意图

FPGA 利用状态机实现数据复接逻辑,状态机转移示意图如图 5 所示:

其中,IDLE 为空闲态,SSDET 为实时遥测数据帧标志判断态,HFDET 为回放数据帧标志判断态,ZXDET 为总线数据帧标志判断态,SS_ConRd 为实时遥测数据读取态,HF_ConRd 为回放数据读

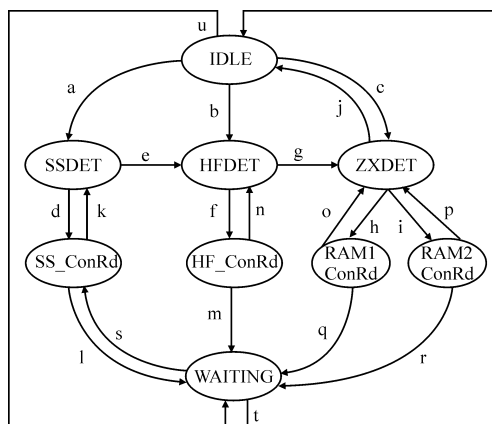


图 5 数据读取状态机示意图

取态, RAM1_ConRd 为总线双口 RAM1 数据读取态, RAM2_ConRd 为总线双口 RAM2 数据读取态, WAITING 为等待态。

其中主要状态转移说明如下:

IDLE $\rightarrow$ XX-DET: 按优先级依次为实时遥测, 回放和总线数据进入帧标志判断状态。

XX-DET $\rightarrow$ XX_ConRd: 数据帧标志判断有效, 进入其数据相对应的读取状态, 其中实时遥测帧标志有效后直接进去读取态, 回放数据标志有效, 且连续帧计数小于 4 时, 进入回放读取态, 总线数据帧标志有效, 且连续帧计数小于 1, 指针在 0~15 之间, 进入 RAM1 读取态, 指针在 16~31 之间, 进入 RAM2 读取态。

XX_ConRd $\rightarrow$ XX-DET: 从 FIFO 或者 RAM 读取完相应数据之后, 没有周期等待请求, 返回帧标志判断态。

XX_ConRd $\rightarrow$ WAITING: 从 FIFO 或者 RAM 读取完相应数据之后, 有周期等待请求, 进入等待状态。

3.1.5 数据下行逻辑

数据存储记录通道只是用来发送实时遥测数据和 1553 总线监视数据, 且在发送时没有条件限制。而高速通信处理器通道在发送实时遥测数据、数据存储回放数据和 1553B 总线监视数据时加入了相应的条件限制, 其中实时遥测数据在出入境标志有效时发送给高速通信处理器。数据存储回放数据需要在出入境标志(入境有效)和高速通信处理器回放数据输出使能标志同时有效时发送给高速通信处理器。1553B 总线监视数据需要在出入境标志(入境有效)和高速通信处理器回放数据输出使能标志

同时有效时发送给高速通信处理器。上述限制条件均可根据寄存器配置来实现使能和禁止的功能。另外, 发往以太网接口的数据和发往高速通信处理器的数据完全相同。

3.2 工程遥测复接 FPGA 详细设计

工程遥测复接 FPGA 用于实现核心单元工程遥测数据的接收功能、语音处理器语音数据的接收功能、频率综合器 768K 时钟信号的接收及切换功能、测控应答机数据的发送和 DPSK 信号调制功能、工程遥测数据和语音数据的复接功能。

根据功能需求, 采用模块化设计思想, 数管遥测复接 FPGA 功能框图如图 6 所示, 主要包括以下几个模块:

- 1) 接口读写控制模块
- 2) 工程遥测接收模块
- 3) 语音处理器语音数据接受模块
- 4) 数据复接及 DPSK 调制发送模块
- 5) 频率综合器 768K 时钟信号检测与切换模块

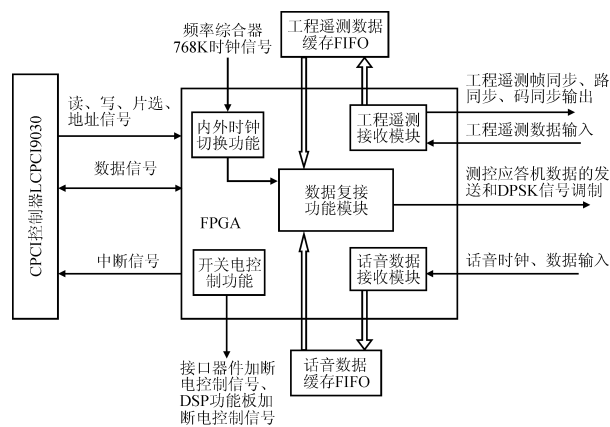


图 6 工程遥测复接 FPGA 功能框图

3.2.1 接口读写控制模块

主要对外部 CPCI 控制器 LCPCI9030 输入的片选信号、读信号、写信号进行了同步处理, 并利用同步后的信号进行了地址译码操作。

3.2.2 工程遥测接收模块

以一定的周期向外发送帧同步、路同步和码同步信号, 并接收来自外部的串行数据, 在串并转换后缓存到外部 FIFO 中去。帧同步信号位于遥测帧路同步之前的两个码元, 宽度为一个码元, 重复周期等于遥测帧周期。路同步信号对应于参数每个字节所分配的处于遥测帧中对应位置。码同步信号为常有的 64 KHz 时钟信号。数据信号为对应路同步信号

下降沿的 NRZ-L 串行数据,其时序图如图 7 所示.

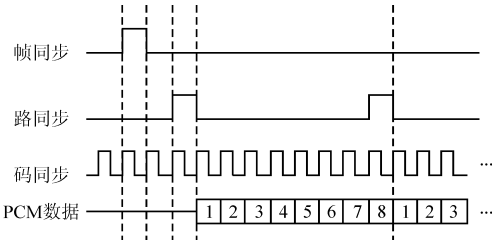


图 7 工程遥测接口时序图

3.2.3 语音处理器语音数据接受模块

接收外部输入的语音数据,经过串并转换后将数据写入外部 FIFO 缓存.

3.2.4 数据复接及 DPSK 调制发送模块

按照一定周期每次从工程遥测数据缓存读取相应数据、从语音数据缓存读取语音数据,加上时间码,同步字,帧计数等信息,组成指定长度的工程遥测数据帧输出.

数据组帧和并串转换通过状态机实现,状态机如图 8 所示.

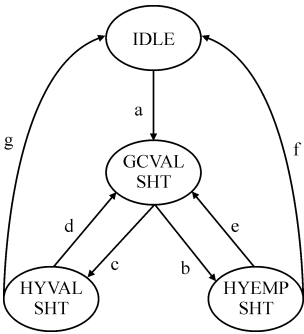


图 8 工程遥测组帧状态机

其中 IDLE 为初始态,GCVALSHT 为工程遥测数据转换态,HYVALSHT 为语音有效数据转换态,HYEMPSHT 为语音数据填充态.

首先,在状态 GCVALSHT 中,FPGA 加上同步字、帧计数以及拆分标志、填充数和时间码等信息,同时从工程遥测 FIFO 中读出数据进行并串转换.在状态 HYEMPSHT 中,FPGA 填充固定数据进行并串转换.在状态 HYVALSHT 中,FPGA 从语音 FIFO 中读出语音数据进行并串转换,最终形成了指定长度字节的初始复接帧,整个数据帧码速率为 64 kHz.

在 DPSK 调制之前,需要对复接帧进行加扰操作.加扰从帧同步字后第一个 bit 开始,每帧加扰采

用的伪随机序列相同,加扰方式为:将伪随机序列与输入数据模 2 加实现加扰,使数据产生足够多的比特跳变以利于接收端实现位同步.加扰处理以每个传送帧为单位进行.当对每个传送帧开始进行加扰时,移位寄存器状态置为全“1”,加扰生成多项式为:
$$h(x) = x^8 + x^7 + x^5 + x^3 + 1.$$
其逻辑实现如图 9 所示:

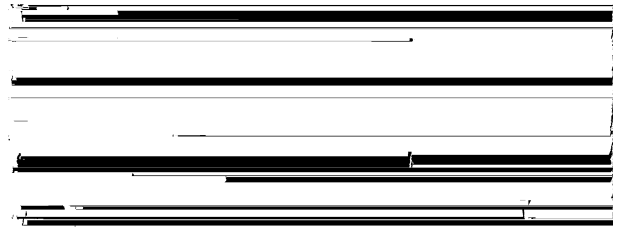


图 9 加扰原理示意图

最后,还需要对加扰后的数据帧进行 DPSK 调制操作.其中,数据的码速率为 64 kbps,调制的码型为 DPSK/NRZ-S,DPSK 信号副载波频率为 384 kHz.当某一码元取“1”时,它的载波相位与前一码元的载波反相.码元取“0”时,它的载波相位与前一码元的载波同相.接着,FPGA 输出 384 kHz 的方波信号由 DPSK 调制电路转换成正弦波,将串行数据码流以 64 kHz 码速率转成 NRZ-S 码,再根据 384 kHz 正弦波比较后的沿使用 NRZ-S 码控制 DPSK 调制电路,将 384 kHz 正弦波信号变成 DPSK 信号.最终形成的 DPSK 信号发往测控应答机.

3.2.5 频射综合器 768 K 时钟信号检测与切换模块

接收来自频率综合器的 768 K 时钟信号,用于产生工程遥测接收模块使用的 64 K 时钟,数据复接模块使用的 64 K 时钟,DPSK 调制模块使用的 64 K 时钟和 384 K 时钟,且在外部 768 K 时钟信号异常时,切换到内部 768 K 时钟信号.FPGA 对外部输入的 768 K 时钟的下降沿进行检测,当连续两次下降沿的间隔位于窗口期(18~30 个 FPGA 主时钟周期),FPGA 判定外部 768 K 时钟有效,并以此时钟为最终输出,否则 FPGA 内部会使用 FPGA 主时钟分频产生的内部 768 K 时钟作为最终输出.

4 验证与实现

在整个设计中,考虑系统规模,成本和易获性

等,FPGA 选用 Xilinx 公司的 XQV300 系列,数管遥测复接采用 ISE10.1 和 ModelSim 集成开发环境,工程遥测复接采用 ISE10.1 和 ActiveHDL 集成开发环境。

通过逻辑代码编写、功能仿真、逻辑综合、布局布线和后仿真,确认数管遥测复接 FPGA 和工程遥测复接 FPGA 各功能模块的接收,组帧复接和发送功能逻辑正确。

最后由数据复接器地面测试系统,模拟核心单元的实时遥测信号,1553B 总线数据信号,存储服务器发出的回放数据信号,经数据复接器数管遥测复接 FPGA 组帧复接后通过记录通道接口、高速数据通道接口、以太网通道接口下行,下行数据由测试系统接收,解析后通过比对发送数据与接收数据的一致性判断复接器各个接口和复接功能的正确性。测试系统模拟核心处理单元发出的工程遥测数据,话音处理器发出的话音时钟和数据信号,经数据复接器工程遥测复接 FPGA 组帧复接后通过 DPSK 数据通道,数据由测试系统接收,解析后通过比对发送数据与接收数据的一致性判断复接器各个接口和复接功能的正确性。通过测试系统的模拟测试,数据复接器可以实现预期的复接功能。

5 结束语

本文调研了现如今星载数据复接技术,针对现在载荷数据类型繁多、数据量巨大、各路载荷数据速率不同,可靠性要求高等特点,设计了基于 FPGA 的星载高速数据复接器,数据组帧传输协议采用 CCSDS AOS 标准协议。可以将实时遥测,回放数据

和 1553B 总线数据复接组帧下行,也可以将工程遥测数据和话音数据复接组帧加扰下行。

参考文献:

- [1] CCSDS. 732. 0-B-2. Blue Book,CCSDS AOS Space Data LinkProtocol[S]. WashingtonD. C. , USA, CCSDS, July 2016.
- [2] CCSDS. 133. 0-B-1. Space Packet Protocol[S]. WashingtonD. C. , USA, CCSDS, September 2003.
- [3] LI L, LI X J, HUANG P M. Development Trend of Satellite High-speed Data Processing and Transmission Technology[C]//Proceedings of Small Satellite Technology Exchange Conference. Beijing: China Aerospace Press, 2011:34-38.
- [4] ZHANG W H. Design of high-speed configurable multiplexer based on CCSDS AOS and FPGA[D]. Beijing: Space Science and Application Research Center, Chinese Academy of Sciences, 2007.
- [5] XU Z H, DONG Z X, AN J S. Design of FPGA-based on-board integrated high-speed data multiplexer[J]. Electronic Design Engineering, 2018(5): 184-188.

作者简介:

楚文玉 男,(1995-),硕士研究生. 研究方向为计算机科学与技术. E-mail:cwy_8023@163.com

曲 翕 男,(1965-),研究员. 研究方向为星船箭载计算机系统技术.

吴 铭 男,(1974-),研究员. 研究方向为星船载计算机技术.

张 宁 男,(1983-),高级工程师. 研究方向为嵌入式系统设计.